

(19) 世界知的所有權機關  
國際事務局



(43) 國際公開日  
2005 年 9 月 15 日 (15.09.2005)

## PCT

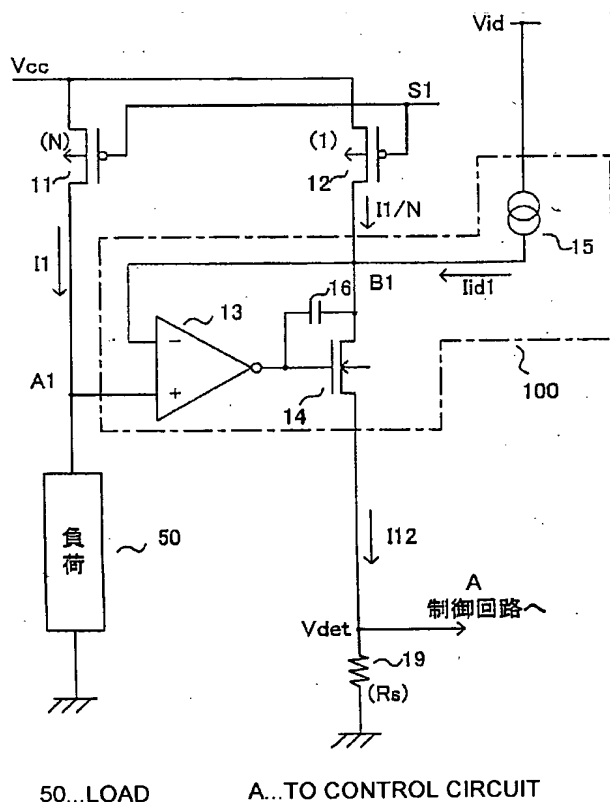
(10) 国際公開番号  
**WO 2005/085879 A1**

- |                             |                              |   |
|-----------------------------|------------------------------|---|
| (51) 国際特許分類 <sup>7)</sup> : | G01R 19/00                   | (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).  |
| (21) 国際出願番号:                | PCT/JP2005/001566            |   |
| (22) 国際出願日:                 | 2005 年 1 月 27 日 (27.01.2005) |   |
| (25) 国際出願の言語:               | 日本語                          | (72) 発明者; および   |
| (26) 国際公開の言語:               | 日本語                          | (75) 発明者/出願人 (米国についてのみ): 杉江 尚 (SUGIE, Hisashi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 笹本裕 (SASAMOTO, Yutaka) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). |
| (30) 優先権データ:                |                              |   |
| 特願2004-058573               | 2004 年 3 月 3 日 (03.03.2004)  | JP  |
| 特願2004-058571               | 2004 年 3 月 3 日 (03.03.2004)  | JP  |

〔続葉有〕

**(54) Title:** CURRENT DETECTING CIRCUIT, LOAD DRIVE, AND STORAGE

(54) 発明の名称: 電流検出回路、負荷駆動装置、及び記憶装置



**(57) Abstract:** A current detecting circuit for stably detecting the current flowing through a load at all times with high accuracy by greatly reducing the power loss due to the detection of the current. The power supply voltage and a switch signal are supplied commonly to a power transistor and a current detecting transistor. An idling current is supplied to the output node of the current detecting transistor. A buffer circuit is provided so that the output voltages of both transistors may be the same virtual potentials. As a result, the buffer circuit is operated as a class-A amplifier circuit at all times.

(57) 要約: 負荷に流れる電流の検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に検出する電流検出回路である。パワートランジスタと電流検出トランジスタには、電源電圧及びスイッチ信号を共通に供給する。その電流検出トランジスタの出力カノードにアイドリング電流

を供給し、且つ両トランジスタの出力電圧が仮想同電位となるようにバッファ回路を設ける。これによりバッファ回路を常に

〔統葉有〕

**WO 2005/085879 A1**



(74) 代理人: 紋田 誠, 外 (MONDA, Makoto et al.); 〒1010048 東京都千代田区神田司町 2-21-10 富士神田ビル 3 階 ミネルバ国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 電流検出回路、負荷駆動回路、及び記憶装置

## 5 技術分野

本発明は、HDDやFDD用等の記憶装置用スピンドルモータ等の負荷に流れる電流を安定して高精度に検出する電流検出回路、それを用いた負荷駆動回路及びその負荷駆動回路により駆動されるモータを有する記憶装置に関する。

## 10 背景技術

トランジスタなどによって駆動される負荷に流れる電流を検出するための電流検出回路としては、そのトランジスタや負荷に直列に電流検出抵抗を接続し、その電流検出抵抗による降下電圧によって電流を直接検出するものが、特開平11-299292号公報（以下、特許文献1）や特開2003-174766号公報（以下、特許文

15 献2）に開示されているように一般的に用いられている。

また、負荷と直列に接続されたトランジスタと同じ制御電圧が印加される検出用トランジスタに定電流を流し、それら両トランジスタの出力電圧を比較して負荷電流のレベルを検出するものも、特許第2570523号公報（以下、特許文献3）に開示されているように知られている。

20 従来の特許文献1、2の電流検出回路では、電流検出抵抗による損失が常に発生するから、電力効率の低下を招いてしまう。また、ブリッジ回路構成の負荷駆動回路で負荷をPWM駆動する場合には、PWMでオフしている期間は電流検出自体ができない。

また、特許文献3の電流検出回路では、電流検出抵抗による電力損失は無いが、負  
25 荷電流が所定値以上かどうかのレベル検出を行うものであるから、連続した負荷電流を検出することはできない。

そこで、本発明は、電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に且つ低消費電流で検出できる電流検出回路、及びその電流検出回路を用いた負荷駆動回路を提供することを目的とする。

5 発明の開示

本発明の電流検出回路は、負荷に負荷電流を供給するための第1トランジスタと、  
該第1トランジスタの制御電極に印加される制御信号と同じ制御信号が制御電極に印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

- 10 該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路と

- 15 を備える。

また、本発明の電流検出回路は、制御電極と出力電極とが接続された電流制御用トランジスタと、

該電流制御用トランジスタに制御された電流を流すための電流可変型の制御電流供給用電流源と、

- 20 前記電流制御用トランジスタとカレントミラー接続され、負荷に負荷電流を供給するための第1トランジスタと、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

- 25 該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比

例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路とを備える。

また、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用ト

- 5   ランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有する。

また、前記アイドリング用電流源へ供給されるアイドリング用電源電圧は、前記第

- 10   1トランジスタ及び前記電流検出用トランジスタへ供給される第1電源電圧より高電圧または同電圧である。

また、前記アイドリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにする。

また、前記比較器は、所定幅のヒステリシス特性を有する。

- 15   また、前記アイドリング用電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御信号を出力するタイミング回路を有する。

本発明の負荷駆動回路は、第1電源電圧と負荷への出力点間に接続されスイッチ信号にしたがってスイッチされて負荷に電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されPWMスイッチング信号によってオン・オフスイッチングされる第2トランジスタとの直列回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、

- 25   前記第1トランジスタに印加されるスイッチ信号と同じスイッチ信号が印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、該電

流検出用トランジスタの出力ノードに所定のアイドル電流を供給するアイドル電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第

5 1トランジスタのそれぞれに対応して前記組数分有し、

前記組数分の各バッファ回路から出力される前記検出電流を一括して出力信号に変換する変換回路とを備える。

また、本発明の負荷駆動回路は、制御電極と出力電極とが接続された電流制御用トランジスタと、該電流制御用トランジスタに制御された電流を流すための制御電流を供給する電流可変型の制御電流供給用電流源と、前記電流制御用トランジスタとカレントミラー接続され、第1電源電圧と負荷への出力点間に設けられ負荷に負荷電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されスイッチ信号によってスイッチングされる第2トランジスタとを含む電流出力回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは

10 多相負荷を前記制御電流にしたがって駆動する負荷駆動回路において、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給するアイドル電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

20

前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備える。

また、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタ

25

タの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有する。

また、前記アイドリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較

5 器とを有し、前記比較出力によって前記スイッチ回路をオフにする。

また、前記アイドリング用電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記スイッチ信号を出力するタイミング回路を有する。

10 本発明の記憶装置は、本発明のいずれかの負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有する。

本発明によれば、パワートランジスタである第1トランジスタと電流検出トランジスタとは、電源電圧及びスイッチ信号が共通であり、出力電圧が仮想同電位となる。

トランジスタがP型MOSである場合には、ゲート、ソースが共通接続され、ドレインが仮想同電位となる。したがって、電流検出トランジスタの小電流(N分の1)を利用して負荷電流を検出できるから、従来のような直接検出に比べて、消費電力を少なくできる。

また、ブリッジ構成のPWM制御される負荷駆動回路においても、PWMオフ時にも負荷電流を検出できる。したがって、負荷電流をPWM駆動にもかかわらず、連続して検出することが出来る。

また、本発明によれば、制御電極と出力電極とが接続された電流制御用トランジスタに制御された電流を流す電流可変型の制御電流供給用電流源を設ける。その電流制御用トランジスタと、パワートランジスタである第1トランジスタと電流検出トランジスタとが、カレントミラー構成に接続される。第1トランジスタと電流検出トランジスタとは、電源電圧及び制御電圧が共通であり、それらの出力電圧が仮想同電位となる。トランジスタがP型MOSである場合には、ゲート、ソースが共通接続され、ド

レインが仮想同電位となる。したがって、電流検出トランジスタの小電流（N分の1）を利用して負荷電流を検出できるから、従来のような直接検出に比べて、消費電力を少なくできる。

また、制御電流供給用電流源の電流値を、変換回路の出力信号にしたがって、制御  
5 する事により、負荷電流を所定値に設定することが出来る。したがって、電流制御用トランジスタと第1トランジスタとのカレントミラー比に誤差を含んでも負荷電流の大きさには影響を与えることはない。したがって、電流制御用トランジスタのサイズを、第1トランジスタのサイズに比してきわめて小さく（例えば、1000：1）する事が出来る。

10 また、第1トランジスタの導通度を連続的に制御して負荷電流を制御するから、ブリッジ構成の負荷駆動回路においても、PWM駆動するものとは異なり、負荷電流を連続して検出することが出来る。

また、バッファ回路は、電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、その第1トランジスタの出力電圧  
15 と電流検出用トランジスタの出力ノードの電圧とを等しくするように動作するとともに、比例電流とアイドリング電流とを加算した検出電流を出力するから、A級増幅回路として動作する。これにより、スイッチオンの初期時においても、電流検出を安定して行うことが出来る。また、制御動作の初期時においても、また負荷電流が小さい場合においても、電流検出を安定して行うことが出来る。且つ、負荷電流と検出電  
20 流とのリニアリティ（直線性）が向上するから、電流検出を高精度に行うことが出来る。

また、検出電流が所定以上になるとき（所定値あるいは所定時間後）に、アイドリング電流をオフするから、さらに消費電力を低減することが出来る。

## 25 図面の簡単な説明

図1は、第1実施例の電流検出回路の構成を示す図である。



図 2 は、図 1 の電流検出回路の等価回路を示す図である。

図 3 は、第 2 実施例の電流検出回路の構成を示す図である。

図 4 は、第 3 実施例の電流検出回路の構成を示す図である。

図 5 は、図 4 の動作を説明するための特性図である。

5 図 6 は、図 4 の動作を説明するための他の特性図である。

図 7 は、第 4 実施例の電流検出回路の構成を示す図である。

図 8 は、第 5 実施例の電流検出回路の構成を示す図である。

図 9 は、図 8 の動作を説明するためのタイミング図である。

図 10 は、第 6 実施例の電流検出回路の構成を示す図である。

10 図 11 は、第 7 実施例の負荷駆動回路の構成を示す図である。

図 12 は、第 8 実施例の負荷駆動回路の構成を示す図である。

発明を実施するための最良の形態

以下、本発明の電流検出回路、それを用いた負荷駆動回路、及びその負荷駆動回路

15 により駆動されるモータを有する記憶装置の実施例について、図を参照して説明する。

図 1 は、第 1 実施例の電流検出回路を示している。この電流検出回路で負荷を駆動するから、図 1 の電流検出回路を負荷駆動回路あるいは負荷駆動装置、と言うことも出来る。

図 1 において、第 1 トランジスタである P 型 MOS トランジスタ 11 は負荷 50 と  
20 直列に接続されて、第 1 電源電圧  $V_{cc}$  とグランド間に接続される。第 1 トランジスタ 11 は制御信号であるスイッチ信号  $S_1$  (L レベル) がゲートに印加されたときにオンし、負荷電流 (出力電流)  $I_1$  が流れる。なお、本明細書では、特に断らない場合には、電圧はグランド電圧に対する電位を表している。

電流検出用トランジスタ 12 のチャネル幅  $W$  とチャネル長  $L$  で決まるサイズを、第  
25 1 トランジスタ 11 のサイズの  $N$  分の 1 としているから、そのソース及びゲートに同じ第 1 電源電圧  $V_{cc}$ 、とスイッチ信号  $S_1$  が供給されることで、負荷電流  $I_1$  の  $N$

分の1の比例電流  $I_1/N$  が流れようとする。しかし、その電流検出用トランジスタ12のドレイン電圧が第1トランジスタ11のドレイン電圧（出力電圧）と等しくならない場合が多いから、その場合には正確な比例電流  $I_1/N$  を得ることは出来ない。

本発明では、電流検出用トランジスタ12のドレイン電圧を第1トランジスタ11のドレイン電圧と等しくし、安定して且つ高精度に電流検出を行えるように、特有のバッファ回路100を設けている。

このバッファ回路100は、第1トランジスタ11の出力ノードA1の電圧（ドレイン電圧）と電流検出用トランジスタ12の出力ノードB1の電圧（ドレイン電圧）とが入力される増幅器13（例えば、オペアンプでよい）と、このオペアンプ13の出力を第3トランジスタであるN型MOSトランジスタ14への制御信号とする。このMOSトランジスタ14は、電流検出用トランジスタ12の出力ノードB1と検出抵抗19との間に接続されている。なお、コンデンサ16は発振防止を目的として設けられている。

さらに、バッファ回路100は、アイドリング用電源電圧  $V_{id}$  と出力ノードB1との間に、電流源15が接続されており、その出力ノードB1に所定のアイドリング電流  $I_{id1}$  を供給する。電流源15は定電流源であり、アイドリング電流  $I_{id1}$  は定電流であることがよい。アイドリング用電源電圧  $V_{id}$  は、電流源15の動作を確実にするために第1電源電圧  $V_{cc}$  よりも高い電圧であることが望ましい。即ち、 $V_{id1} > V_{cc}$ 。なお、アイドリング用電源電圧  $V_{id}$  として、第1電源電圧  $V_{cc}$  を用いることも可能である。

バッファ回路100からは、電流検出用トランジスタ12からの比例電流  $I_1/N$  と電流源15からのアイドリング電流  $I_{id1}$  とが合わさった検出電流  $I_{12}$  が出力される。

この検出電流  $I_{12}$  が検出抵抗19に流れて、その抵抗値  $R_s$  と検出電流  $I_{12}$  の積に応じた検出電圧（出力信号）  $V_{det}$  を出力する。検出抵抗19は変換回路として機能しており、検出電圧  $V_{det}$  は図示しない制御回路へ供給される。

この図1の電流検出回路において、図2の等価回路図を参照しつつ、その動作を説明する。制御回路（図示を省略している。以下同じ）からスイッチ信号S1が供給されるまでは、第1トランジスタ11、電流検出用トランジスタ12はオフしている。出力ノードA1はハイインピーダンス（High-Z）もしくは低電圧（Low；例えば  
5 零電圧）になっている。したがって、出力ノードA1の電圧は、第1電源電圧Vccやアイドリング用電源電圧Vidより低くなっている。一方、出力ノードB1の電圧はアイドリング用電源電圧Vidにより決まる。

バッファ回路100は、その2入力である出力ノードA1の電圧と出力ノードB1の電圧とを等しくするように動作するから、MOSトランジスタ14は出力ノードB  
10 1の電圧を下げようとして、オンする。MOSトランジスタ14のオンにより、アイドリング電流Iid1が検出電流I12として検出抵抗19に流れる。スイッチ信号S1が供給される前にアイドリング電流Iid1が流れるから、バッファ回路100は、スイッチ信号S1が供給される時点からA級増幅回路として動作することになる。このアイドリング電流Iid1は、検出電圧Vdetのオフセット分電圧 $R_s \times I_{id1}$   
15 d1を発生する。

スイッチ信号S1が供給されると、第1トランジスタ11と電流検出用トランジスタ12がオンし、負荷電流I1が第1トランジスタ11から負荷50に流れて、第1トランジスタ11のオン抵抗r11と負荷電流I1との積に応じて電圧降下が第1トランジスタ11に発生する。出力ノードA1の電圧は第1電源電圧Vccからその電  
20 圧降下 $I_1 \times r_{11}$ だけ低い電圧になる。このとき出力ノードB1の電圧は、出力ノードA1の電圧と等しくなるようにバッファ回路100により制御される。電流検出用トランジスタ12の電圧降下は、比例電流 $I_1/N$ と電流検出用トランジスタ12のオン抵抗r12（ $=N \times r_{11}$ ）との積になる。したがって、第1トランジスタ11と電流検出用トランジスタ12は、ソース電圧、ゲート電圧及びドレイン電圧の全  
25 てが等しくなるので、電流検出用トランジスタ12に流れる比例電流 $I_1/N$ は所期の値になる。

この第1トランジスタ11と電流検出用トランジスタ12がオンする初期の段階や、その負荷電流 $I_1$ 、比例電流 $I_1/N$ が小さいときには、仮にアイドル電流 $I_{id1}$ がない場合には安定して動作できない、或いは比例電流 $I_1/N$ が負荷電流 $I_1$ に正確に比例しない、等の問題が発生する。

- 5       しかし、本発明では、第1トランジスタ11と電流検出用トランジスタ12がオンするに先立って、アイドル電流 $I_{id1}$ を流しているから、バッファ回路100はA級増幅回路として動作する。したがって、第1トランジスタ11と電流検出用トランジスタ12がオンする初期の段階や、その負荷電流 $I_1$ 、比例電流 $I_1/N$ が小さいときにも安定して動作し、且つ負荷電流と検出電流とのリニアリティ（直線性）
- 10       が向上するから、電流検出を高精度に出来る。

なお、第1トランジスタ11、電流検出用トランジスタ12は、P型MOSトランジスタに代えて、N型MOSトランジスタでもよい。また、N型MOSトランジスタ14は、P型MOSトランジスタの他、バイポーラトランジスタを用いてもよい。

- 図3は、第2実施例の電流検出回路を示している。図3では、第1トランジスタであるP型MOSトランジスタ11及び電流検出用トランジスタであるP型MOSトランジスタ12が、任意レベルの制御電圧 $V_{sig}$ で制御される点で、図1の第1実施例と異なっている。図3のその他の点は、図1のものと同様である。したがって、その異なる点を中心に説明する。
- 15       あるP型MOSトランジスタ11及び電流検出用トランジスタであるP型MOSトランジスタ12が、任意レベルの制御電圧 $V_{sig}$ で制御される点で、図1の第1実施例と異なっている。図3のその他の点は、図1のものと同様である。したがって、その異なる点を中心に説明する。

- 図3において、第1トランジスタであるP型MOSトランジスタ11は負荷50と直列に接続されて、負荷50に負荷電流 $I_1$ を流すように第1電源電圧 $V_{cc}$ とグラ
- 20       ンド間に接続される。その負荷電流 $I_1$ に比例した比例電流 $I_1/N$ を供給するための電流検出用トランジスタであるP型MOSトランジスタ12が設けられている。

- 電流制御用トランジスタであるP型MOSトランジスタ10は、その制御電極であるゲートと出力電極であるドレインとが接続され、電流可変型の制御電流供給用電流
- 25       源7と直列に、第1電源電圧 $V_{cc}$ とグラウンド間に接続される。

電流制御用トランジスタ10のゲートが、第1トランジスタ11及び電流検出用ト

ランジスタ 12 のゲートに接続され、カレントミラー構成とされている。電流制御用  
トランジスタ 10 のゲート電圧が制御電圧  $V_{sig}$  となる。即ち、電流制御用トラン  
ジスタ 10、第 1 トランジスタ 11 及び電流検出用トランジスタ 12 はカレントミラ  
ー回路に構成されているから、電流制御用トランジスタ 10 に流れる制御電流  $I_0$  に  
5 比例した負荷電流  $I_1$  及び比例電流  $I_1/N$  が、第 1 トランジスタ 11 及び電流検出  
用トランジスタ 12 に流れる。ここで、電流制御用トランジスタ 10 のチャネル幅  $W$   
とチャネル長  $L$  で決まるサイズ  $\alpha$  は、第 1 トランジスタ 11 のサイズ  $N$  に対して著し  
く小さい値、例えば 1000 分の 1 に設定されている。

電流源 7 は、基準電圧  $V_{ref1}$  と検出電圧（出力信号） $V_{det}$  との 2 入力の差  
10 を増幅する誤差増幅器 8 の誤差出力が供給され、その誤差出力に応じて、その電流、  
即ち制御電流  $I_0$  の大きさが制御される。

誤差増幅器 8 は、スイッチ信号  $S_1$  が供給されるときに動作をして、2 入力の差に  
応じた誤差出力を発生する。また、スイッチ信号  $S_1$  が供給されないときには、その  
誤差出力を発生しないから、電流源 7 の制御電流  $I_0$  はオフされる。なお、スイッチ  
15 信号  $S_1$  を電流源 7 に供給して、電流源 7 をスイッチ信号  $S_1$  によって直接に動作或  
いは不動作を制御するようにしても良い。

この図 3 の電流検出回路の動作を説明する。制御回路（図示を省略している。以下  
同じ）からスイッチ信号  $S_1$  が供給されるまでは、誤差増幅器 8 は誤差出力を発生せ  
ず、電流源 7 はオフして制御電流  $I_0$  は零である。したがって、電流制御用トランジ  
20 スタ 10、第 1 トランジスタ 11、電流検出用トランジスタ 12 はオフしており、負  
荷電流  $I_1$  及び比例電流  $I_1/N$  も零である。

スイッチ信号  $S_1$  が誤差増幅器 8 に供給されると、誤差増幅器 8 は基準電圧  $V_{ref1}$   
と検出電圧  $V_{det}$  に応じた誤差出力を発生する。電流源 7 は、この誤差出力に  
応じた制御電流  $I_0$  を電流制御用トランジスタ 10 に流す。この制御電流  $I_0$  によっ  
25 て、電流制御用トランジスタ 10 のゲートに制御電圧  $V_{sig}$  が発生し、この制御電  
圧  $V_{sig}$  が第 1 トランジスタ 11 及び電流検出用トランジスタ 12 のゲートに印加

されて、電流制御用トランジスタ10、第1トランジスタ11、電流検出用トランジスタ12はカレントミラー動作をする。

- 第1トランジスタ11には、電流制御用トランジスタ10とのカレントミラー比に応じた負荷電流 $I_1$ が負荷50に流れる。第1トランジスタ11のドレインにはその導通度と負荷電流 $I_1$ とに応じた電圧、即ち出力ノードA1の電圧が発生する。このとき、電流検出用トランジスタ12のドレインの電圧、即ち出力ノードB1の電圧は、出力ノードA1の電圧と等しくなるようにバッファ回路100により制御される。電流検出用トランジスタ12の電圧降下は、比例電流 $I_1/N$ と電流検出用トランジスタ12の導通度により決まる。したがって、第1トランジスタ11と電流検出用トランジスタ12は、ソース電圧、ゲート電圧及びドレイン電圧の全てが等しくなるので、電流検出用トランジスタ12に流れる比例電流 $I_1/N$ は所期の値になる。

- また、検出電流 $I_{12}$ に基づく検出電圧 $V_{det}$ を帰還し、検出電圧 $V_{det}$ が所定値（＝基準電圧 $V_{ref1}$ ）になるように制御する。したがって、第1トランジスタ11と電流検出用トランジスタ12との間のカレントミラー比が所定精度に保たれていれば、電流制御用トランジスタ10と第1トランジスタ11（及び電流検出用トランジスタ12）との間のカレントミラー比の精度は多少悪くても、回路動作や電流検出に支障は無い。これにより、電流制御用トランジスタ10のサイズを第1トランジスタ11に比して極めて小さく（例えば、1000分の1程度）できるし、同様に電流源7の電流容量も極めて小さいものとすることができる。

- また、図3では、検出電圧 $V_{det}$ を帰還して所定値に一致させるようにフィードバック制御を行っているが、これに限ることなく、制御電圧 $V_{sig}$ を所定値に設定するフィードフォワード制御とすることができる。このフィードフォワード制御とする場合には例えば、図3において、誤差増幅器8を削除して電流源7に所定の指令信号を供給するようにしてもよいし、また、電流制御用トランジスタ10、電流源7、誤差増幅器8を削除して所定の制御電圧 $V_{sig}$ を第1トランジスタ11、電流検出用トランジスタ12のゲートに印加するようにしてもよい。なお、この点は、他の実

施例でも同様である。

図4は、本発明の第3実施例に係る電流検出回路を示している。図5及び図6は、図4の動作を説明するための特性図である。この図4の電流検出回路においては、アイドリング電流  $I_{id1}$  の供給を検出電流の大きさに応じて停止するようにしている。

- 5 図4において、図1と異なる点は、アイドリング用電源電圧  $V_{id}$  と出力ノードB1との間に電流源15と共にスイッチ回路17を設けている点、及び検出電圧  $V_{det}$  を基準電圧  $V_{ref}$  と比較し、検出電圧  $V_{det}$  が基準電圧  $V_{ref}$  を上回ったときにスイッチ回路17をオフする比較出力を発生する比較器18を設けている点である。なお、電流源15が、比較器18の比較出力でオン、オフできる場合、例えば電
- 10 流源15がカレントミラー構成である場合には、比較器18の比較出力で電流源15をオン、オフしてもよい。この場合には、スイッチ回路17を削除することができる。

- この第3実施例の動作を、図4～図6を参照して説明する。スイッチ信号  $S_1$  が供給される以前から、スイッチ回路17はオンしている。スイッチ信号  $S_1$  が供給されると、図1の場合と同様に、第1トランジスタ11、電流検出用トランジスタ12が
- 15 オンし、電流検出用トランジスタ12からの比例電流  $I_1/N$  と電流源15からのアイドリング電流  $I_{id1}$  とが合わさった検出電流  $I_{12}$  が出力される。

- 比較器18は、検出電流  $I_{12}$  により発生する検出電圧  $V_{det}$  を基準電圧  $V_{ref}$  と比較する。この検出電圧  $V_{det}$  は、負荷電流  $I_1$  が零の時にアイドリング電流  $I_{id1}$  に相当するオフセット電圧が発生している。負荷電流  $I_1$  が増加するに連れて検出電圧  $V_{det}$  も大きくなる。検出電圧  $V_{det}$  が基準電圧  $V_{ref}$  を超えると、
- 20 比較器18の比較出力は反転し、スイッチ回路17をオフする。この基準電圧  $V_{ref}$  は、アイドリング電流  $I_{id1}$  が無くても比例電流  $I_1/N$  だけでA級増幅動作が可能な電圧値に設定されることがよい。

- スイッチ回路17がオフされることによりアイドリング電流  $I_{id1}$  はなくなるから、検出電圧  $V_{det}$  の大きさはアイドリング電流  $I_{id1}$  の分だけ小さくなる。比較器18には、所定幅 ( $I_{id1}$  の分より大きい) のヒステリシスを設けているから、
- 25

その出力がハンチングする事はない。

なお、制御回路に供給される検出電圧  $V_{det}$  にアイドリング電流  $I_{id1}$  が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるように、比較器 18 の比較出力を制御回路に供給する。

- 5     スイッチ回路 17 がオフされる段階での比例電流  $I_1/N$  は、アイドリング電流  $I_{id1}$  がオフされてもその A 級増幅動作に支障がない大きさになっているから、正確な検出電流を得る上で問題はない。また、このアイドリング電流  $I_{id1}$  をオフする事により、その分の消費電力を少なくすることが出来る。

- 10    図 7 は、本発明の第 4 実施例に係る電流検出回路を示している。この図 7 では、第 1 トランジスタである P 型 MOS トランジスタ 11 及び電流検出用トランジスタである P 型 MOS トランジスタ 12 が、任意レベルの制御電圧  $V_{sig}$  で制御される点で、図 4 の第 3 実施例と異なっている。図 7 のその他の点は、図 4 のものと同様である。

また、図 7 において、制御電圧  $V_{sig}$  で制御される点については、図 3 の第 2 実施例で説明したことと同様である。

- 15    図 8 は、本発明の第 5 実施例に係る電流検出回路を示している。図 9 は、図 8 の動作を説明するためのタイミング図である。この図 8 の電流検出回路においては、アイドリング電流  $I_{id1}$  を、負荷が駆動される最初の所定期間だけ供給するようにし、その時間経過後は供給を停止するようにしている。

- 20    図 8 において、図 1 と異なる点は、アイドリング用電源電圧  $V_{id}$  と出力ノード B1 との間に電流源 15 と共にスイッチ回路 17 を設けている点、及び動作指令信号  $S_0$  を受けてアイドリング信号  $S_{id}$  及びスイッチ信号  $S_1$  を発生するタイミング回路 17A を設けている点である。なお、電流源 15 が、アイドリング信号  $S_{id}$  でオン、オフできる場合、例えば電流源 15 がカレントミラー構成である場合には、アイドリング信号  $S_{id}$  で電流源 15 をオン、オフしてもよい。この場合には、スイッチ回路  
25    17 を削除することができる。

この第 5 実施例の動作を、図 8、図 9 を参照して説明する。動作指令信号  $S_0$  がタ



イミング回路 17A に供給されるまでは、第 1 トランジスタ 11、電流検出用トランジスタ 12、スイッチ回路 17 は全てオフしている。動作指令信号 S0 がタイミング回路 17A に供給されると、タイミング回路 17A はアイドルリング信号 S<sub>id</sub> を直ちに発生させてスイッチ回路 17 をオンし、アイドルリング電流 I<sub>id1</sub> が流される。こ

5 の状態は、図 1 でスイッチ信号 S1 が供給される前と同じである。

タイミング回路 17A は動作指令信号 S0 が供給されると同時に、その時点 t1 からの経過時間を、例えばカウンタにより計測を開始する。時点 t1 から期間 T2 だけ計測した時点 t2 で、スイッチ信号 S1 (L レベル) を発生させて、第 1 トランジスタ 11、電流検出用トランジスタ 12 をオンさせる。第 1 トランジスタ 11、電流検出用トランジスタ 12 をオンさせることにより、図 1 の場合と同様に、電流検出用トランジスタ 12 からの比例電流 I<sub>1</sub>/N と電流源 15 からのアイドルリング電流 I<sub>id1</sub> とが合わさった検出電流 I<sub>12</sub> が出力される。

タイミング回路 17A は、引き続いて経過時間を計測し、時点 t1 から期間 T1 (T1 > T2) 経過した時点 t3 でアイドルリング信号 S<sub>id</sub> の供給を停止し、スイッチ回路 17 をオフする。なお、時点 t4 で、動作指令信号 S0 の供給が停止されると、スイッチ信号 S1 もなくなり (H レベル)、電流検出回路の動作が停止する。この期間 T1 は、アイドルリング電流 I<sub>id1</sub> が無くても、比例電流 I<sub>1</sub>/N の大きさが、バッファ回路 100 を A 級増幅動作させることが可能な電流値になる時間に設定されることがよい。

20 なお、制御回路に供給される検出電圧 V<sub>det</sub> にアイドルリング電流 I<sub>id1</sub> が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるように、アイドルリング信号 S<sub>id</sub> を制御回路に供給する。

スイッチ回路 17 がオフされることによりアイドルリング電流 I<sub>id1</sub> はなくなるから、検出電圧 V<sub>det</sub> の大きさはアイドルリング電流 I<sub>id1</sub> の分だけ小さくなる。しかし、スイッチ回路 17 がオフされる T1 時間後の段階での比例電流 I<sub>1</sub>/N は、アイドルリング電流 I<sub>id1</sub> がオフされてもその A 級増幅動作に支障がない大きさになっ

ているから、正確な検出電流を得る上で問題はない。また、図 5 と同様に、このアイ  
ドリング電流  $I_{id1}$  をオフする事により、その分の消費電力を少なくすることが出  
来る。

図 10 は、本発明の第 6 実施例に係る電流検出回路を示している。この図 10 では、  
5 第 1 トランジスタである P 型 MOS トランジスタ 11 及び電流検出用トランジスタで  
ある P 型 MOS トランジスタ 12 が、任意レベルの制御電圧  $V_{sig}$  で制御される点  
で、図 8 の第 5 実施例と異なっている。図 10 のその他の点は、図 8 のものと同様で  
ある。

また、図 10 において、制御電圧  $V_{sig}$  で制御される点については、図 3 の第 2  
10 実施例で説明したことと同様である。

図 11 は、本発明の第 7 実施例に係る、HDD や FDD のスピンドルモータ等の負  
荷を駆動する負荷駆動回路を示している。

この図 11 の負荷駆動回路は、第 1 電源電圧  $V_{cc}$  と負荷 50 への出力ノード A1  
間に接続されスイッチ信号 S1 にしたがってスイッチされて負荷 50 に電流を供給す  
15 るための第 1 トランジスタ 11 と、負荷 50 への出力ノード A1 と第 2 電源電圧点 (グ  
ランド) 間に接続され PWM スイッチング信号 S3 によってオン・オフスイッチング  
される第 2 トランジスタ 51 との第 1 直列回路と、第 1 電源電圧  $V_{cc}$  と負荷 50 へ  
の出力ノード A2 間に接続されスイッチ信号 S2 にしたがってスイッチされて負荷 5  
0 に電流を供給するための第 1 トランジスタ 21 と、負荷 50 への出力ノード A2 と  
20 第 2 電源電圧点 (グランド) 間に接続され PWM スイッチング信号 S4 によってオン・  
オフスイッチングされる第 2 トランジスタ 61 との第 2 直列回路とを有している。

この図 11 は、単相ブリッジ回路の例であるから、第 1 トランジスタと第 2 トラン  
ジスタとの直列回路の組数は 2 組である。本発明を、三相ブリッジ回路に適用する場合  
には、第 1 トランジスタと第 2 トランジスタとの直列回路の組数は 3 組である。さ  
25 らに、多相の場合にも同様に適用可能である。

このように、前述の直列回路を 2 以上の組数分有して単相あるいは多相ブリッジ回

路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、各第1トランジスタ11、21に対して、それを含むように図1におけると同様の電流検出回路を設けたものが、図11の負荷駆動回路である。

即ち、第1トランジスタ11に印加されるスイッチ信号S1と同じスイッチ信号S1が印加される電流検出用トランジスタ12を設ける。電流検出用トランジスタ12は、第1トランジスタ11に流れる負荷電流I1に比例した比例電流 $I1/N$ を供給する。バッファ回路100は、この電流検出用トランジスタ12の出力ノードB1に所定のアイドリング電流 $I_{id1}$ を供給する電流源15を有して、第1トランジスタ11の出力ノードA1の電圧と電流検出用トランジスタ12の出力ノードB1の電圧とを等しくするように動作するとともに、比例電流 $I1/N$ とアイドリング電流 $I_{id1}$ とを加算した検出電流I12を出力する。バッファ回路200も、バッファ回路100と同じ構成であり、ただ符号だけが異なっている（例えば、12に対して22）。

そして、複数組にそれぞれ設けられたバッファ回路100、200から出力される検出電流I12、I22を一括して検出電圧（出力信号）Vdetに変換する検出抵抗（変換回路）19を設けている。また、速度やトルク或いは電流を指令する指令値Vtargetと検出電圧Vdetとが入力され、その2入力の差に基づく誤差信号を出力する誤差増幅器71が設けられる。この誤差信号は、モータなどの負荷を制御する制御回路（図示を省略している）に供給される。

この図11の単相ブリッジ回路の負荷駆動回路について見ると、各第1トランジスタ11、21の負荷電流I1、I2を検出する動作は、図1等において説明したものと同様である。しかし、図11の第7実施例では、PWM駆動される負荷駆動回路であるから、PWM制御に伴う特有の電流検出作用について説明する。

図11では、第1トランジスタ11がオンで、第2トランジスタ61がPWMスイッチング信号S4でオン/オフスイッチングされている場合と、第1トランジスタ21がオンで、第2トランジスタ51がPWMスイッチング信号S3でオン/オフス

ッチングされている場合とがある。

第1トランジスタ11がオンで、第2トランジスタ61がPWMスイッチング信号S4でオン/オフスイッチングされている場合を考えると、第2トランジスタ61がPWMオンしているときには、負荷電流I1は、図中実線のように、第1電源電圧Vccから第1トランジスタ11ー負荷50ー第2トランジスタ61ーグランドに流れる。一方、第2トランジスタ61がPWMオフしているときには、負荷電流I1は、図中破線のように、第1トランジスタ11ー負荷50ー第1トランジスタ21の寄生ダイオードー第1トランジスタ11の経路を流れる。

PWMオフしているときの負荷電流I1は、従来抵抗による直接検出方式では、検出することは出来なかった。しかし、本発明では、負荷電流I1が第1トランジスタ11を流れていれば、PWMオンの時はもちろんであるが、PWMオフの時にも比例電流I1/Nを連続して、計測することが出来る。逆の第1トランジスタ21がオンで、第2トランジスタ51がPWMスイッチング信号S3でオン/オフスイッチングされている場合にも同様である。

図11の負荷駆動回路で、記憶装置の例えばスピンドルモータを速度制御する場合には、指令値Vtargetはトルク指令値である。このトルク指令値Vtargetは、スピンドルモータへの速度設定値とその速度実際値との差によって形成される。

このスピンドルモータを速度制御するに際しては、検出電流の変化、即ち検出電圧Vdetの変化が連続していることが安定な速度制御を行うために望ましい。したがって、一旦、スピンドルモータの速度制御を開始した後は、アイドリング電流Iid1、Iid2を、切ることなく、継続して流し続けることがよい。アイドリング電流Iid1、Iid2を流し続けても、それ自体は一定値であるから負荷電流I1、I2には影響を与えることはない。

このようにアイドリング電流を遮断することなく流し続けることで、モータの速度制御の安定度を高く維持することができる。

また、スピンドルモータを停止している場合にもアイドリング電流Iid1、Ii

d 2が流されることで、検出電圧 $V_{det}$ は一定のオフセット電圧を発生しており、一方、トルク指令値は零である。この場合、トルク指令値 $V_{target}$ は、検出電圧 $V_{det}$ よりそのオフセット電圧分だけ低いから、停止時のモータの駆動力（トルク）を確実に無くすることができる。

- 5 このアイドルリング電流 $I_{id1}$ 、 $I_{id2}$ に基づくオフセット電圧を持たせていない状態では、ノイズなどの影響によってトルク指令値 $V_{target}$ 等が影響を受けてモータにトルクが発生する可能性がある。しかし、アイドルリング電流を遮断することなく流し続けることでオフセット電圧が与えられるから、例えノイズ環境下でもモータが誤って回る誤作動を防止できる。この誤作動については、速度制御に限らず、
- 10 他の制御（例えば、電流制御）の場合にも同様である。

- さらに、図11の第7実施例では、アイドルリング電流 $I_{id1}$ 、 $I_{id2}$ は、第1トランジスタ11または21の内のオンさせるべきいずれか一方のみを、流すように制御する事もできる。この制御は、制御回路からのスイッチ信号 $S_1$ 、 $S_2$ の発生と関連させて、アイドルリング電流 $I_{id1}$ 、 $I_{id2}$ を制御するための信号を出力させるようにすることによって達成できる。例えば、スイッチ信号 $S_1$ 、 $S_2$ に関連して、
- 15 電流源15、25をオン或いはオフさせることがよい。

- また、図11の負荷駆動回路においても、図4の第3実施例のような、スイッチ回路17と比較器18を用いたアイドルリング電流のオフ制御回路を付加することや、図8の第5実施例のような、スイッチ回路17やタイミング回路17Aを用いたアイドルリング電流のタイミング制御回路を付加することもできる。これらの場合には、各相用駆動回路に設けられたスイッチ回路17を、比較器18からの比較出力で同時にオン或いはオフさせたり（図4のような場合）、タイミング回路17Aからのアイドル
- 20 リング電流のタイミング制御回路を付加することもできる。これらの場合には、各相用駆動回路に設けられたスイッチ回路17を、比較器18からの比較出力で同時にオン或いはオフさせたり（図4のような場合）、タイミング回路17Aからのアイドル
- リング信号 $S_{id}$ で同時にオン或いはオフさせたり（図8のような場合）することが良い。

- このように、アイドルリング電流 $I_{id1}$ 、 $I_{id2}$ を第1、第2トランジスタ11、
- 25 21のオン或いはオフに応じてオン或いはオフしたり、図4や図8のように検出電圧 $V_{det}$ や経過時間に応じてオフ制御することは、例えばステッピングモータを電流

制御で駆動する等の負荷電流  $I_1$ 、 $I_2$  の検出を高い精度で行うことが必要な場合に、好適である。なお、この電流制御でモータを駆動するときには、指令値  $V_{target}$  は電流指令値となる。

図 12 は、本発明の第 8 実施例に係る、HDD や FDD のスピンドルモータ等の負荷を駆動する負荷駆動回路を示している。

この図 12 の負荷駆動回路は、3 相スピンドルモータ 50 を駆動する 3 相ブリッジ回路の例であり、U 相用駆動回路 1U、V 相用駆動回路 1V 及び W 相用駆動回路 1W を有している。

U 相用駆動回路 1U について見ると、第 2 実施例の図 3 と比較して、制御電流供給用電流源 7 に U 相用制御信号  $S_{1u}$  が供給され、これに応じて第 1 トランジスタ 11、電流検出用トランジスタ 12 のゲートに制御電圧  $V_{sigu}$  が供給されること、出力ノード A1 とグラウンド間に第 2 トランジスタ 9 が接続されること、この第 2 トランジスタ 9 のゲートに U 相用スイッチ信号  $S_{2u}$  が供給されること、出力ノード A1 が 3 相スピンドルモータ 50 の U 相コイル端子 U に接続されること、等の点で異なっている。その他の点は、図 3 のものと同様である。

V 相用駆動回路 1V 及び W 相用駆動回路 1W についても、図 12 ではそれぞれ一部のみ示しているが、符号が対応して異なるだけで、U 相用駆動回路 1U と同様である。即ち、第 2 実施例の図 3 と比較して、制御電流供給用電流源 27、37 に V 相用制御信号  $S_{1v}$ 、W 相用制御信号  $S_{1w}$  が供給され、これに応じて第 1 トランジスタ 21、31 のゲートに制御電圧  $V_{sigv}$ 、 $V_{sigw}$  が供給されること、出力ノード A2、A3 とグラウンド間に第 2 トランジスタ 29、39 が接続されること、この第 2 トランジスタ 29、39 のゲートに V 相用スイッチ信号  $S_{2v}$ 、W 相用スイッチ信号  $S_{2w}$  が供給されること、出力ノード A2、A3 が 3 相スピンドルモータ 50 の V 相コイル端子 V、W 相コイル端子 W に接続されること、等の点で異なっている。

そして、各相用駆動回路 1U、1V、1W から得られる各検出電流  $I_1$ 、 $I_2$ 、... を統合して、検出抵抗 19 に供給している。

誤差増幅器 71 は、入力される速度やトルク或いは電流を指令する指令値  $V_{target}$  と検出電圧  $V_{det}$  とを比較し、その 2 入力の誤差信号を出力し、ゲート制御・ロジック回路 72 に供給する。誤差増幅器 71 は、スイッチ信号  $S1$  が供給されているときに動作する。なお、スイッチ信号  $S1$  は、ゲート制御・ロジック回路 72 に供給するようにしても良い。

誤差増幅器 71 にスイッチ信号  $S1$  が供給されると、ゲート制御・ロジック回路 72 は、三相駆動用のロジックにしたがって、各相用の制御信号  $S1u$ 、 $S1v$ 、 $S1w$  及び各相用のスイッチ信号  $S2u$ 、 $S2v$ 、 $S2w$  を発生する。その各相用の制御信号  $S1u$ 、 $S1v$ 、 $S1w$  及び各相用のスイッチ信号  $S2u$ 、 $S2v$ 、 $S2w$  は、  
10 制御電流供給用電流源 7、27、37 及び第 2 トランジスタ 9、29、39 のゲートに供給される。三相駆動用のロジックは、例えば、3 相モータ 50 の U 相端子、V 相端子、W 相端子に、 $U \rightarrow V$ 、 $U \rightarrow W$ 、 $V \rightarrow W$ 、 $V \rightarrow U$ 、 $W \rightarrow U$ 、 $W \rightarrow V$ 、 $U \rightarrow V \dots$  の順序で給電するように、第 1 トランジスタ 11、21、31 の導通度が制御されるとともに、第 2 トランジスタ 9、29、39 がスイッチングされる。このゲート制御・  
15 ロジック回路 72 は図示していない制御回路に他の制御部とともに含ませても良い。

この図 12 は、三相ブリッジ回路の例であるから、各相用駆動回路は 3 つである。本発明を、単相ブリッジ回路に適用する場合には、各相用駆動回路は 2 つである。さらに、3 相以上の多相の場合にも同様に適用可能である。

このように、各相用駆動回路を複数有して単相あるいは多相ブリッジ回路を形成し、  
20 単相あるいは多相負荷をリニア駆動する負荷駆動回路において、制御電圧  $V_{sig}$  によってリニアに制御される各第 1 トランジスタ 11、21、31 に対して、それを含むように図 3 におけると同様の電流検出回路を設けたものが、図 12 の負荷駆動回路である。

なお、図 12 の第 8 実施例では、各相用駆動回路 1U、1V、1W のアイドル電流  $I_{id1}$  等は、同じ電流値であることが望ましい。

図 12 の負荷駆動回路で、記憶装置の例えばスピンドルモータを速度制御する場合

には、指令値  $V_{target}$  はトルク指令値である。このトルク指令値  $V_{target}$  は、スピンドルモータへの速度設定値とその速度実際値との差によって形成される。

このスピンドルモータを速度制御するに際しては、検出電流の変化、即ち検出電圧  $V_{det}$  の変化が連続していることが安定な速度制御を行うために望ましい。したが

5 って、一旦、スピンドルモータの速度制御を開始した後は、アイドリング電流  $I_{id1} \dots$  を、切ることなく、継続して流し続けることがよい。アイドリング電流  $I_{id1} \dots$  を流し続けても、それ自体は一定値であるから負荷電流  $I_1$  には影響を与えることはない。

このようにアイドリング電流を遮断することなく流し続けることで、モータの速度  
10 制御の安定度を高く維持することができる。

また、スピンドルモータを停止している場合にもアイドリング電流  $I_{id1} \dots$  が流されることで、検出電圧  $V_{det}$  は一定のオフセット電圧を発生しており、一方、トルク指令値は零である。この場合、トルク指令値  $V_{target}$  は、検出電圧  $V_{det}$  よりそのオフセット電圧分だけ低いから、停止時のモータの駆動力（トルク）を  
15 確実に無くすることができる。

このアイドリング電流  $I_{id1} \dots$  に基づくオフセット電圧を持たせていない状態では、ノイズなどの影響によってトルク指令値  $V_{target}$  等が影響を受けてモータにトルクが発生する可能性がある。しかし、アイドリング電流を遮断することなく流し続けることでオフセット電圧が与えられるから、例えノイズ環境下でもモータ  
20 が誤って回る誤作動を防止できる。この誤作動については、速度制御に限らず、他の制御（例えば、電流制御）の場合にも同様である。

この図 12 の負荷駆動回路においても、図 7 の第 4 実施例のような、スイッチ回路 17 と比較器 18 を用いたアイドリング電流のオフ制御回路を付加することや、図 10 の第 6 実施例のような、スイッチ回路 17 やタイミング回路 17A を用いたアイド  
25 リング電流のタイミング制御回路を付加することができる。これらの場合には、各相用駆動回路に設けられたスイッチ回路 17 を、比較器 18 からの比較出力で同時にオ



ン或いはオフさせたり（図7のような場合）、タイミング回路17Aからのアイドリング信号S i dで同時にオン或いはオフさせたり（図10のような場合）することが良い。

- 5      このように、図7や図10のように検出電圧V d e tや経過時間に応じてアイドリング電流をオフ制御することは、例えばステッピングモータを電流制御で駆動する等の負荷電流I 1の検出を高い精度で行うことが必要な場合に、好適である。なお、この電流制御でモータを駆動するときには、指令値V t a r g e tは電流指令値となる。

#### 産業上の利用可能性

- 10      本発明に係る電流検出回路や、それを用いた負荷駆動回路によると、HDDやFDD用等の記憶装置用スピンドルモータ等の負荷に流れる電流を、電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に且つ低消費電流で検出できる。

## 請求の範囲

1. 負荷に負荷電流を供給するための第1トランジスタと、

該第1トランジスタの制御電極に印加される制御信号と同じ制御信号が制御電極に  
5 印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイ  
ドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用ト  
ランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比

10 例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路と  
を備えることを特徴とする、電流検出回路。

2. 制御電極と出力電極とが接続された電流制御用トランジスタと、

該電流制御用トランジスタに制御された電流を流すための電流可変型の制御電流供  
15 給用電流源と、

前記電流制御用トランジスタとカレントミラー接続され、負荷に負荷電流を供給す  
るための第1トランジスタと、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した  
比例電流を供給するための電流検出用トランジスタと、

20 該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイ  
ドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用ト  
ランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比  
例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路と  
25 を備えることを特徴とする、電流検出回路。

3. 前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トラ

ンジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする、請求項1または2に記載の電流検出回路。

4. 前記アイドリング用電流源へ供給されるアイドリング用電源電圧は、前記第1トランジスタ及び前記電流検出用トランジスタへ供給される第1電源電圧より高電圧または同電圧であることを特徴とする、請求項1または2に記載の電流検出回路。

5. 前記アイドリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、

10 請求項1または2に記載の電流検出回路。

6. 前記比較器は、所定幅のヒステリシス特性を有することを特徴とする、請求項5に記載の電流検出回路。

7. 前記アイドリング用電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御信号を出力するタイミング回路を有することを特徴とする、請求項1または2に記載の電流検出回路。

8. 第1電源電圧と負荷への出力点間に接続されスイッチ信号にしたがってスイッチされて負荷に電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されPWMスイッチング信号によってオン・オフスイッチングされる第2トランジスタとの直列回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、

前記第1トランジスタに印加されるスイッチ信号と同じスイッチ信号が印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタ

タの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

5 前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備えることを特徴とする、負荷駆動回路。

9. 制御電極と出力電極とが接続された電流制御用トランジスタと、該電流制御用トランジスタに制御された電流を流すための制御電流を供給する電流可変型の制御電流供給用電流源と、前記電流制御用トランジスタとカレントミラー接続され、第1電源電圧と負荷への出力点間に設けられ負荷に負荷電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されスイッチ信号によってスイッチングされる第2トランジスタとを含む電流出力回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷を前記制御電流にしたがって駆動する負荷駆動回路において、

10

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

15

該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給するアイドル電流用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

20

前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備えることを特徴とする、負荷駆動回路。

10. 前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする、請求項8または9に記載の負荷駆動回路。

25

- 1.1. 前記アイドリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、請求項 8 または 9 に記載の負荷駆動回路。
- 5 1.2. 前記アイドリング用電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第 1 所定時間だけ出力するとともに、前記制御指令信号から前記第 1 所定時間より短い第 2 所定時間の経過後に前記スイッチ信号を出力するタイミング回路を有することを特徴とする、請求項 8 または 9 に記載の負荷駆動回路。
- 10 1.3. 請求項 8 乃至 1.2 のいずれかに記載の負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有することを特徴とする、記憶装置。

図 1

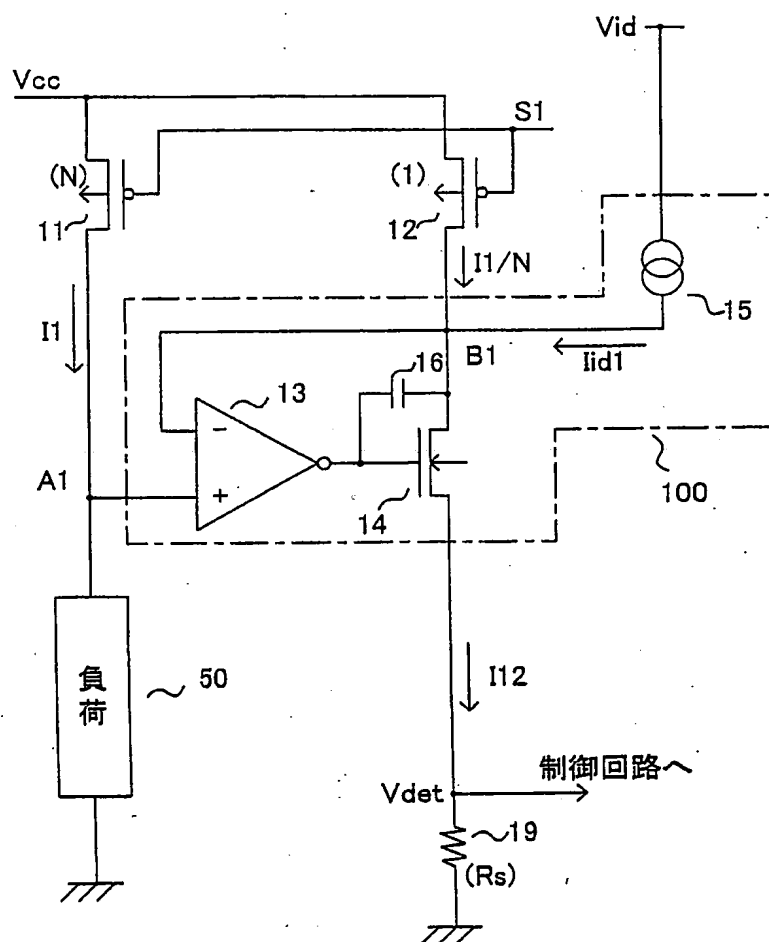


図 2

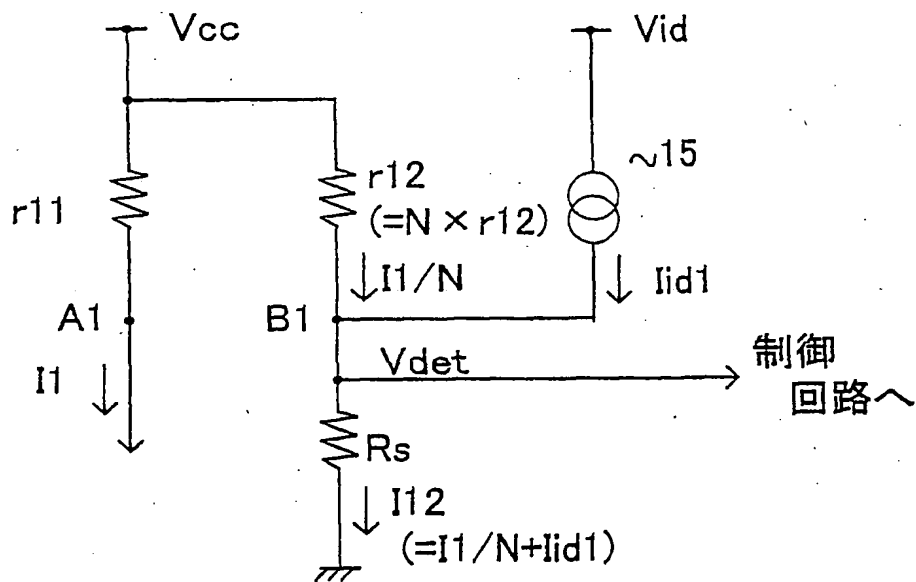


図 3

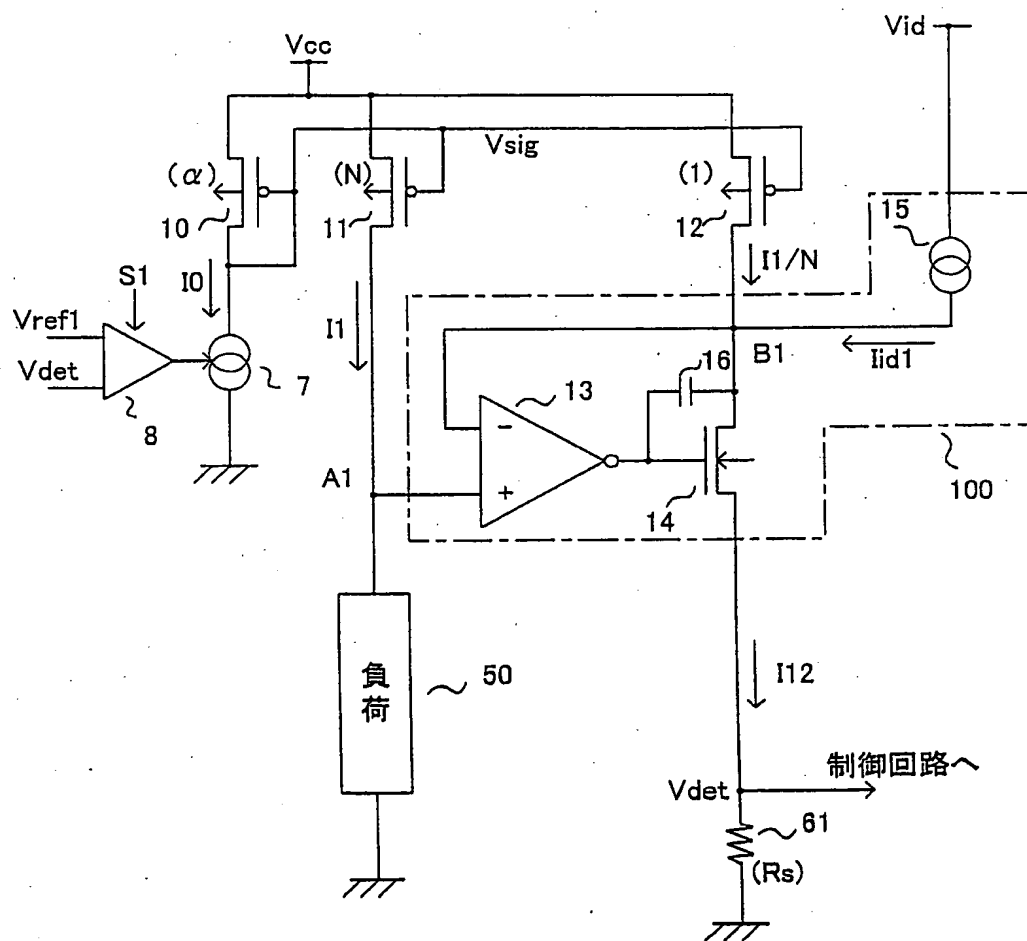






図 5

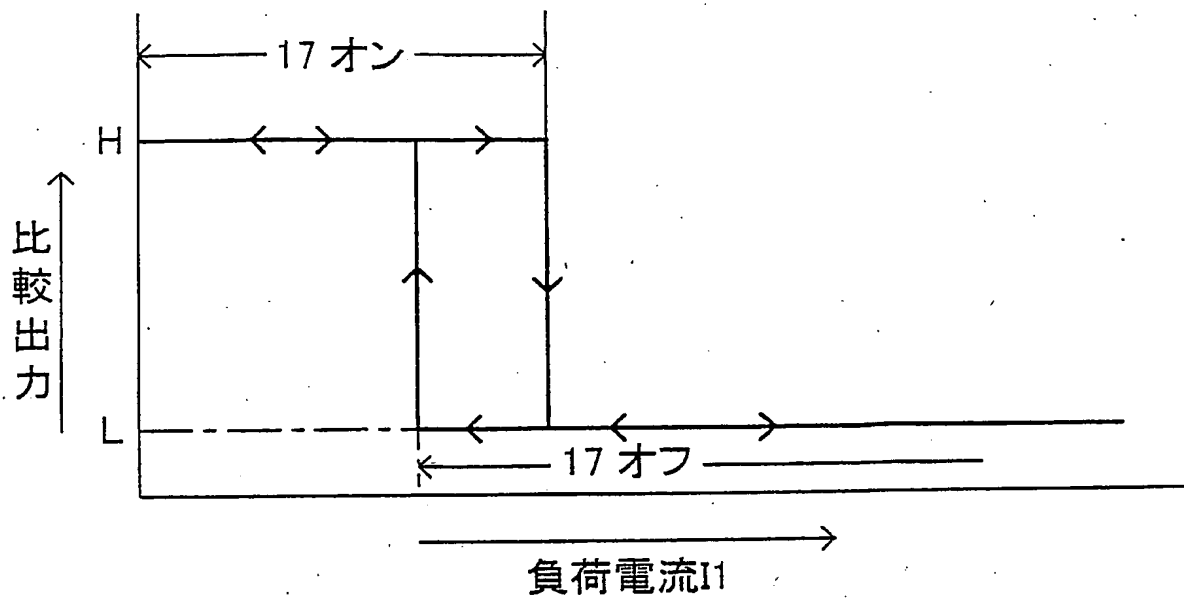


図 6

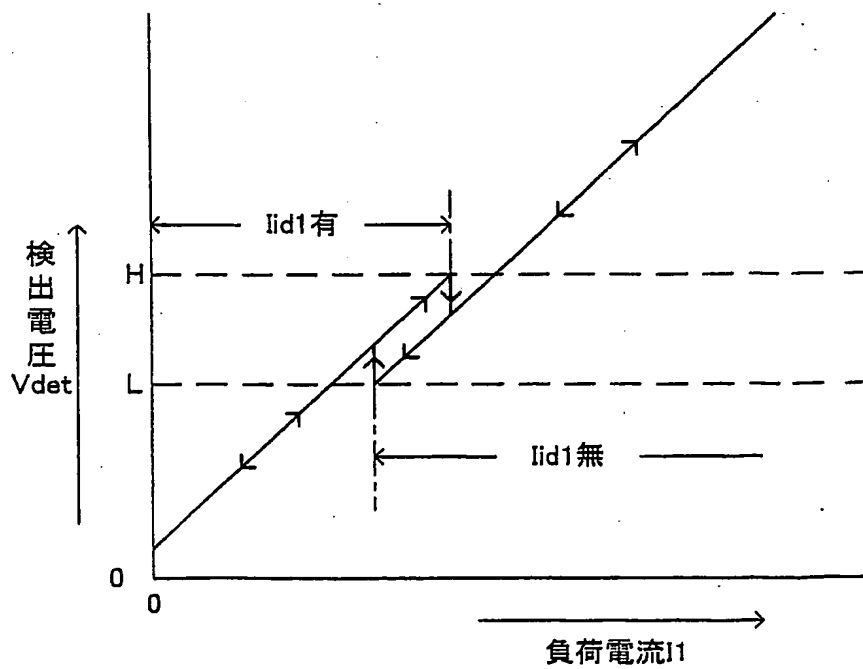
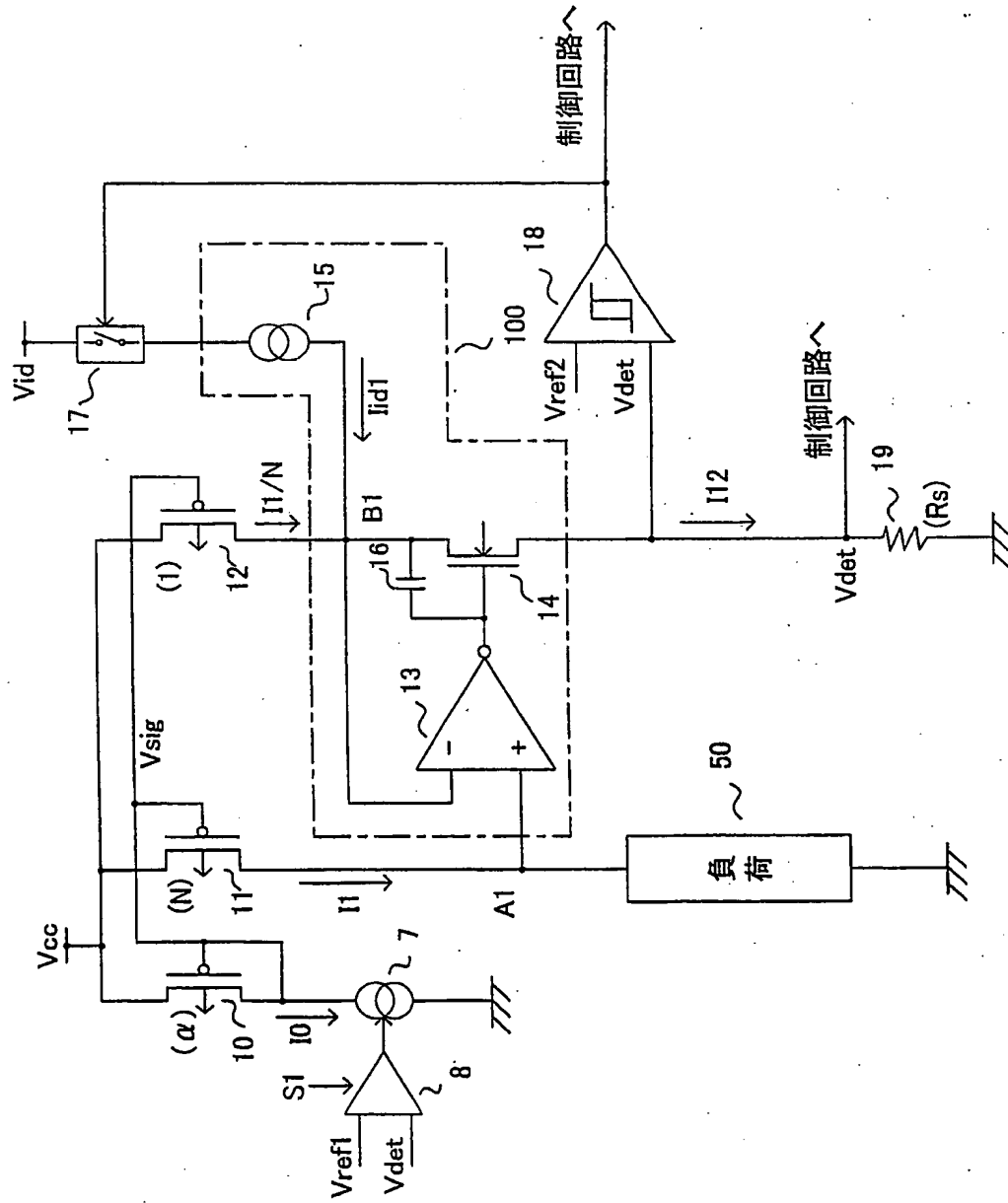


図 7



8  
天

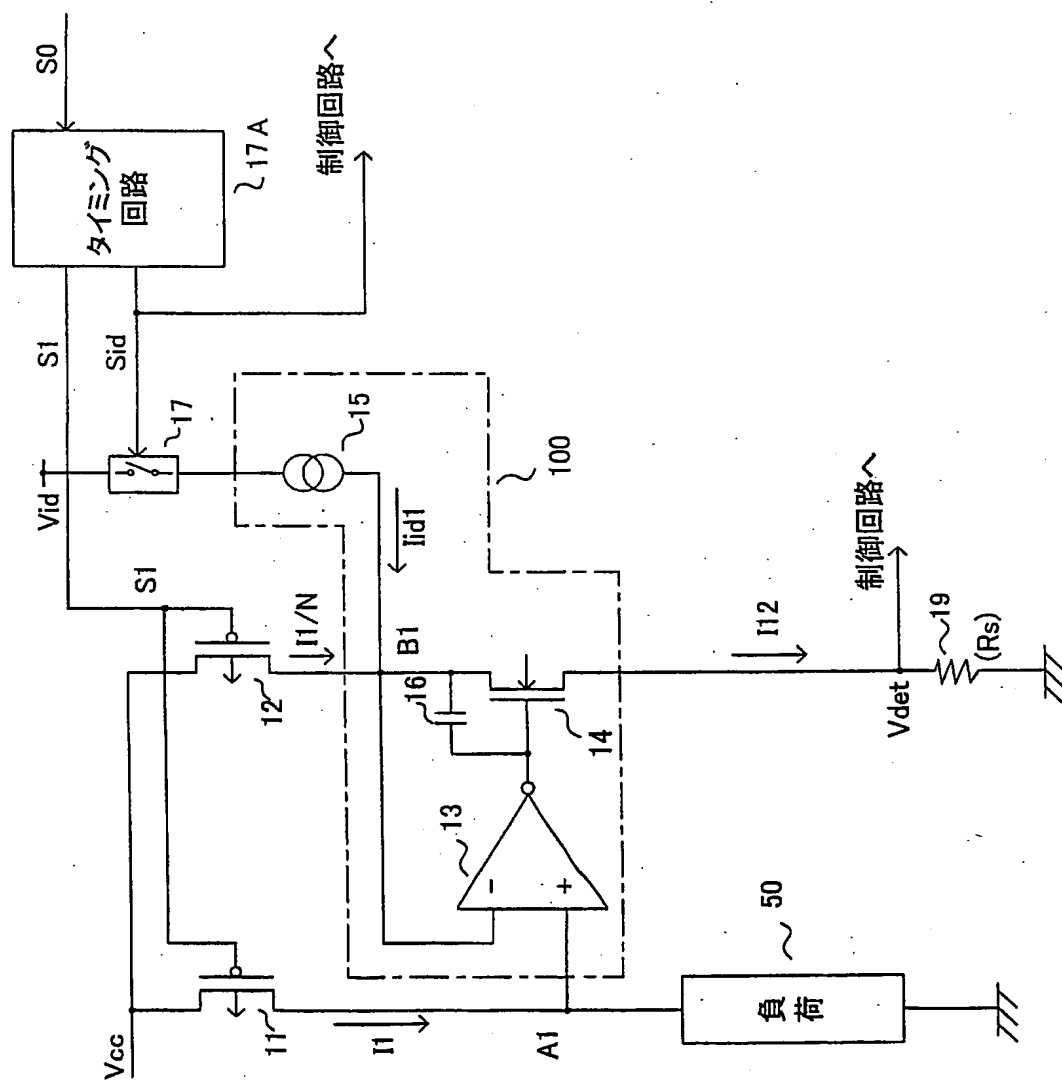


図 9

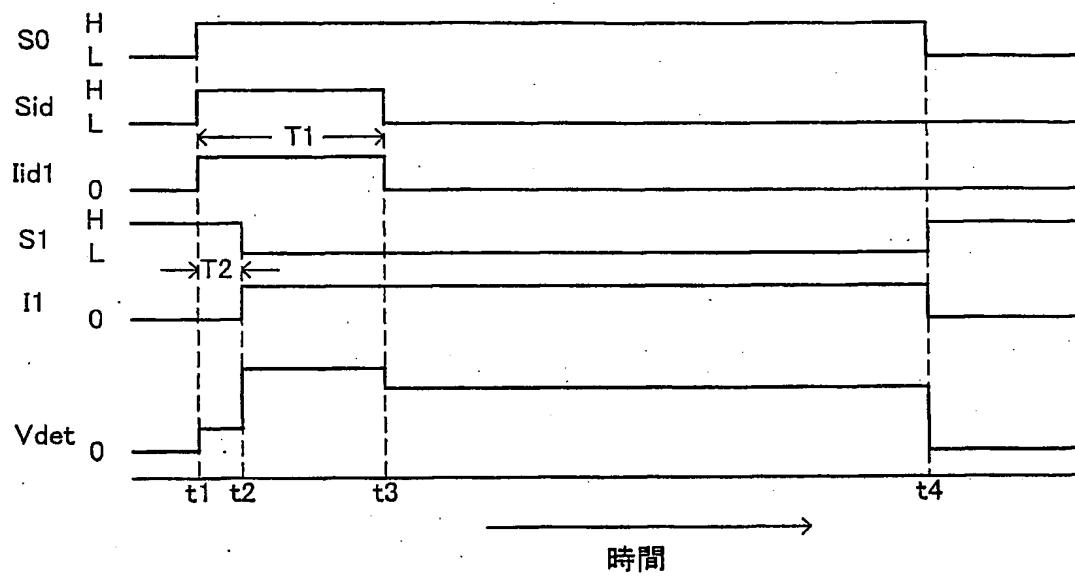


図 10

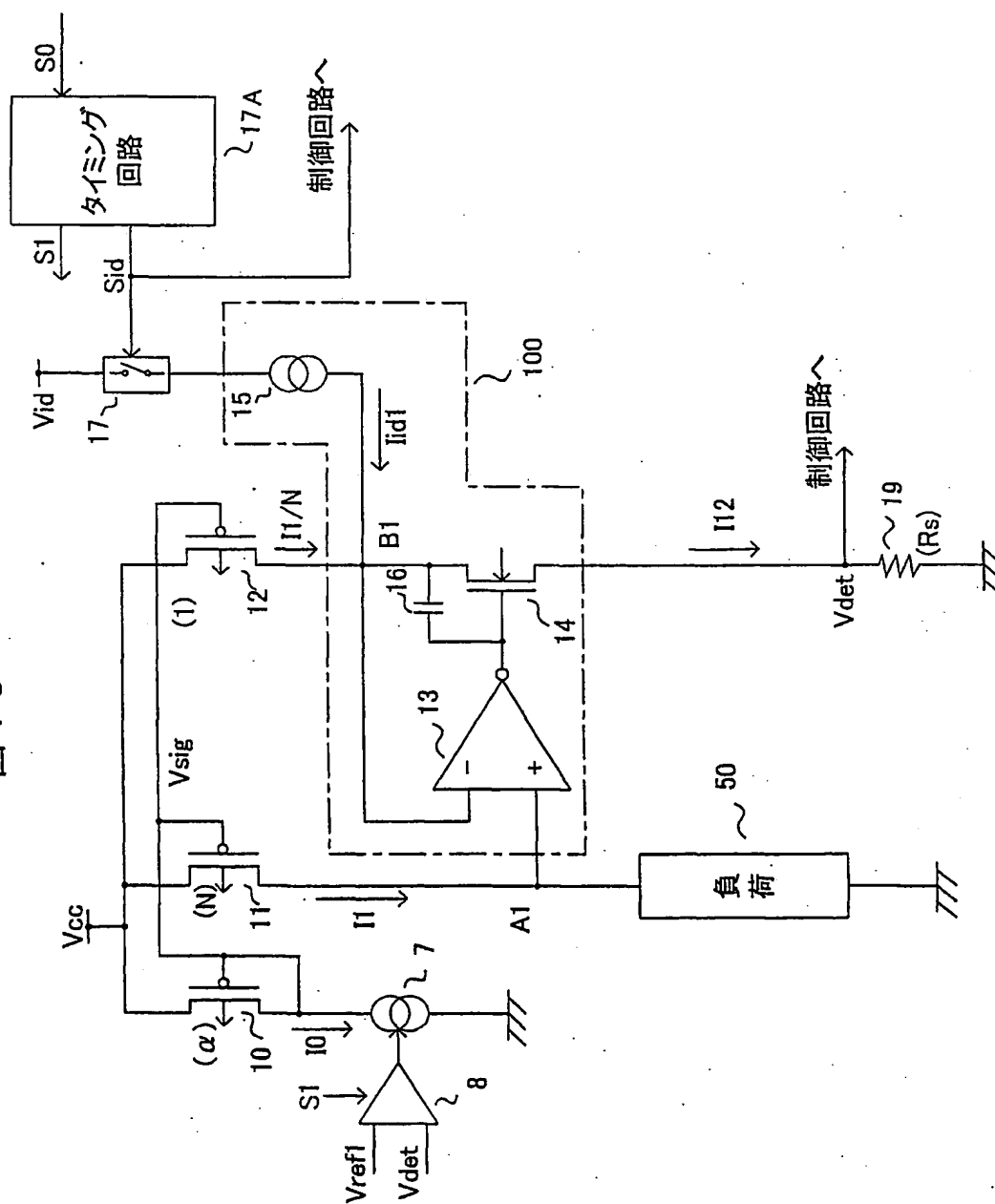
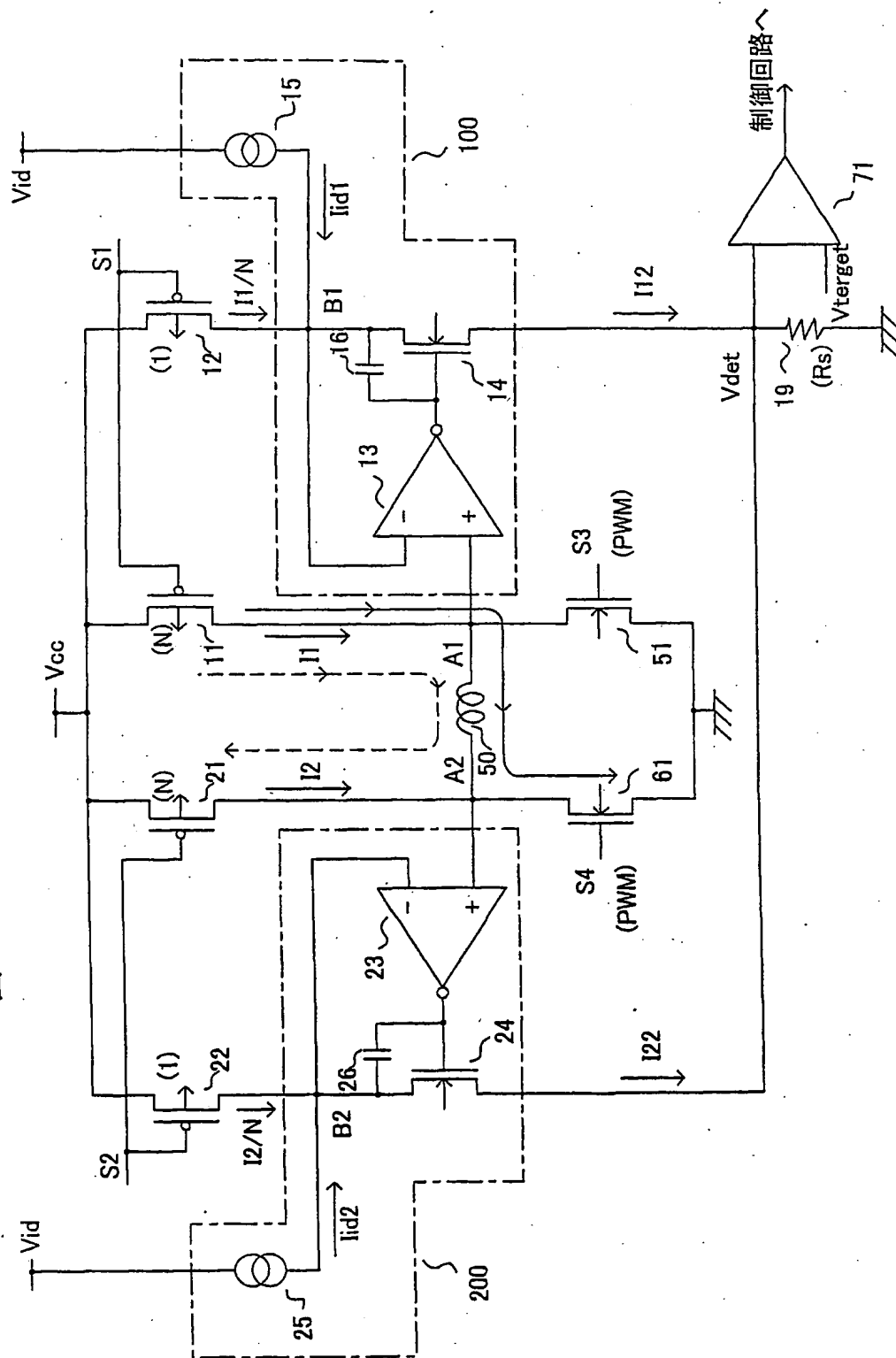


図 11



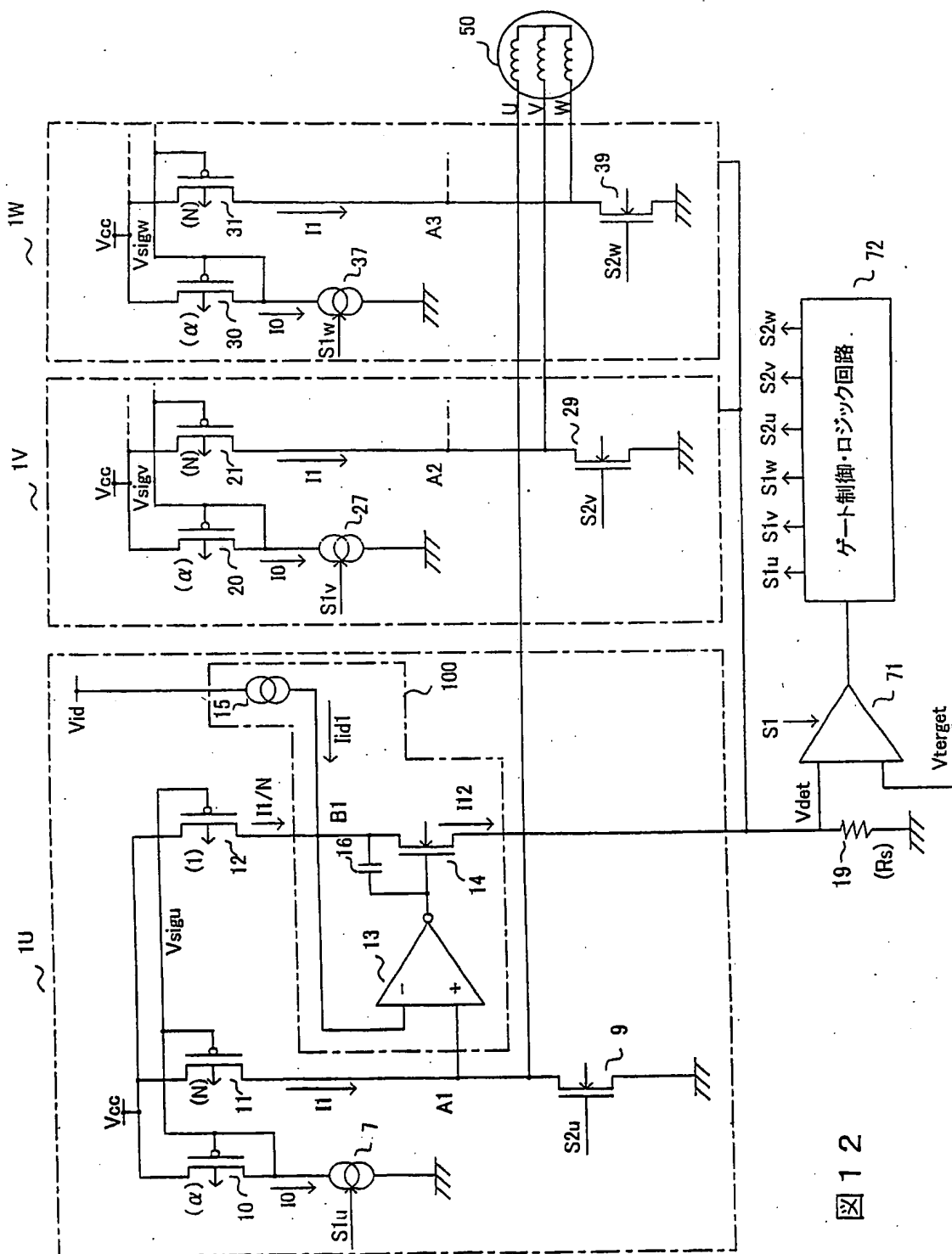


図 12